

## SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

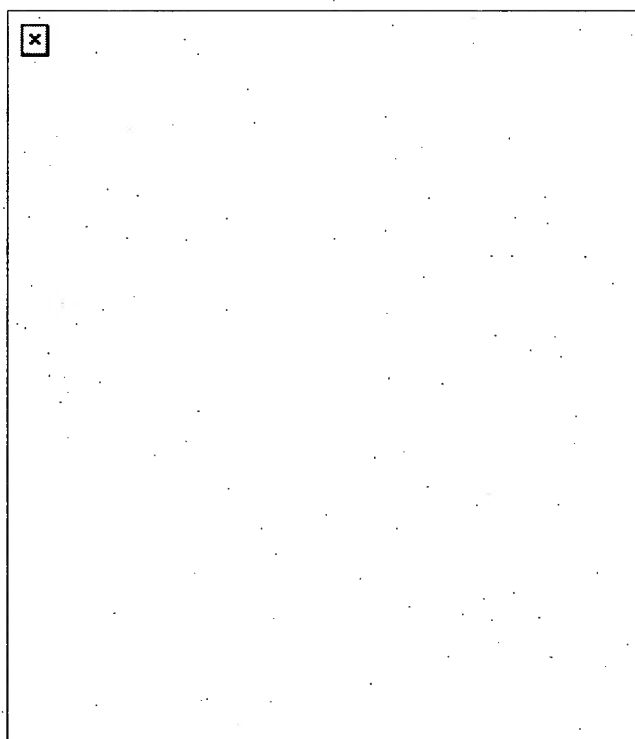
Patent number: JP5267480  
Publication date: 1993-10-15  
Inventor: YAMASHITA KIMIIHIKO  
Applicant: RICOH CO LTD  
Classification:  
- international: H01L21/90; H01L21/316  
- european:  
Application number: JP19920094796 19920321  
Priority number(s):

[View INPADOC patent family](#)

**Abstract of JP5267480**

**PURPOSE:** To prevent detrimental affect on device properties by reducing an amount of carbon atom taken into a silicon oxide film when a silicon oxide film is formed by plasma CVD method using organic oxysilane such as TEOS as a main material.

**CONSTITUTION:** A silicon substrate 26 is arranged on a lower electrode 23 and heated by a lamp 22. Reaction gas is supplied through a gas supply port 29 and a high frequency voltage is applied between both electrodes 23, 24 from a high frequency power supply 28. Thereby, reaction gas reacts and a BPSG film or a PSG film is deposited on the silicon substrate 26. Conditions of plasma CVD are; a pressure inside a CVD reaction chamber 21 of 6.5Torr, a substrate temperature of 300 to 450 deg.C, a power of the high frequency power supply 28 of 100 to 500W. The BPSG film is deposited supplying TEOS kept at 40 deg.C together with oxygen, TMP and TMB as a reaction gas from a gas supply port 29 to the reaction chamber 21 while making helium gas flow. Ratio of O<sub>2</sub> flow rate/TEOS flow rate is 2.0 or above.



**THIS PAGE BLANK** (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-267480

(43) 公開日 平成5年(1993)10月15日

(51) Int.Cl.<sup>5</sup>

H 0 1 L 21/90  
21/316

識別記号

庁内整理番号  
P 7735-4M  
X 8518-4M

F I

技術表示箇所

審査請求 未請求 請求項の数4 (全 5 頁)

(21) 出願番号 特願平4-94796

(22) 出願日 平成4年(1992)3月21日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 山下 公彦

東京都大田区中馬込1丁目3番6号 株式  
会社リコー内

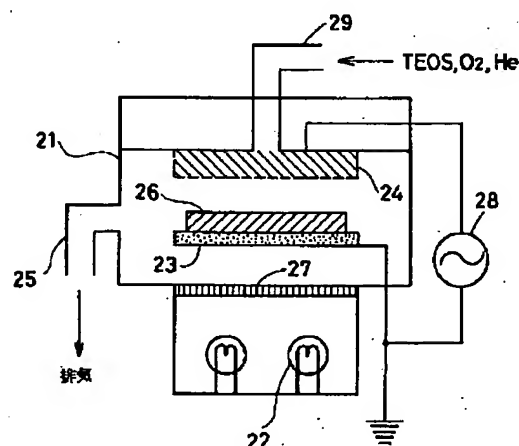
(74) 代理人 弁理士 野口 繁雄

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】 (修正有)

【目的】 TEOSなどの有機オキシシランを主原料としてプラズマCVD法によりシリコン酸化膜を形成する際、シリコン酸化膜に取り込まれる炭素原子の量を少なくしてデバイス特性に悪影響を与えないようにする。

【構成】 シリコン基板26を下部電極23上に配置し、ランプ22により加熱する。ガス供給口29を経て反応ガスを供給し、高周波電源28から両電極23、24間に高周波電圧を印加することにより、反応ガスが反応してシリコン基板26上にBPSG膜又はPSG膜が堆積する。プラズマCVDの条件として、CVD反応室21内の圧力を6.5Torr、基板温度を300~450℃、高周波電源28の電力を100~500W、TEOSを40℃に保温し、ヘリウムガスで通気しながら酸素及びTMP、TMBとともに反応ガスとしてガス供給口29から反応室21へ供給しながらBPSG膜を堆積させる。O<sub>2</sub>流量/TEOS流量比は2.0以上とする。



## 【特許請求の範囲】

【請求項1】 半導体装置のメタル配線の下に形成される層間絶縁膜として有機オキシシランを主成分としプラズマCVD法により堆積された炭素含有量の少ないシリコン酸化膜が用いられていることを特徴とする半導体装置。

【請求項2】 前記層間絶縁膜がゲート配線とメタル配線との間の層間絶縁膜である請求項1に記載の半導体装置。

【請求項3】 プラズマCVD法により半導体装置の層間絶縁膜を堆積する方法において、主原料として有機オキシシランを用い、酸素流量と有機オキシシラン流量との比を、有機オキシシランを通気ガス流量で表わしたときの流量比として $O_2 / (\text{有機オキシシラン})$ を2.0以上とすることを特徴とする半導体装置の製造方法。

【請求項4】 前記層間絶縁膜がゲート配線とメタル配線との間の層間絶縁膜である請求項3に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は層間絶縁膜としてシリコン酸化膜を有する半導体装置と、そのシリコン酸化膜層間絶縁膜をプラズマCVD法により堆積する製造方法に関するものである。

## 【0002】

【従来の技術】 半導体装置の層間絶縁膜としてプラズマCVD法によりTEOS（テトラエチルオルソシリケート）を主成分とする方法が用いられている。この方法により形成したシリコン酸化膜は、シランを主原料として常圧CVD法により形成したシリコン酸化膜よりもステップカバレッジが優れており、またTEOSを主原料として常圧CVD法により形成したシリコン酸化膜よりも膜質が安定しているという利点を備えている。

【0003】 MOS型半導体装置のゲート配線（ポリシリコン又はポリサイドなど）と第1層目メタル配線との間の層間絶縁膜としてBPSG膜やPSG膜などのシリコン酸化膜が広く用いられており、その層間絶縁膜としてステップカバレッジがよくリフロー後の平坦度を向上させる目的でTEOSを主原料としたプラズマCVD法が採用されている。しかし、TEOSを主原料としてプラズマCVD法で形成されたシリコン酸化膜は、シリコン酸化膜形成の過程で発生する有機成分がシリコン酸化膜中に取り込まれる傾向が強い。現在主流となっている絶縁膜形成材料であるシラン（ $SiH_4$ ）は、その分子構造に有機成分を含んでおらず、したがってシランを主原料として形成したシリコン酸化膜には炭素は含有されない。

【0004】 TEOSを主原料としてプラズマCVD法により形成したシリコン酸化膜をメタル配線とメタル配線の間の層間絶縁膜として利用する場合はシリコン酸化

膜中に取り込まれた炭素原子は安定であり、半導体装置の特性に悪影響を与えることはない。しかし、そのシリコン酸化膜をゲート配線とメタル配線間の層間絶縁膜に用いた場合、通常、CVD膜形成後に平坦化と注入不純物の活性化を目的とした熱処理（リフロー工程）が行なわれるので、TEOSを原料として形成されたシリコン酸化膜中に取り込まれた炭素原子がその熱処理により半導体基板中に拡散し、デバイス特性に悪影響を与える。

【0005】 そこで、プラズマCVD法によりTEOSを主原料として形成されるシリコン酸化膜中に炭素などの不純物を取り込まれるのを防ぐためにいくつかの方法が提案されている。例えば、TEOSを窒素で通気してCVD装置に導くことにより膜中に取り込まれる炭素量を減らす方法（特開平1-238024号公報参照）、TEOSを主原料として生成したシリコン酸化膜をオゾン雰囲気中又は酸素プラズマ中でアニール処理することにより膜中の不純物を減少させる方法（特開平3-41731号公報参照）、シリコン酸化膜を酸素プラズマ又は酸素ラジカルで処理することにより不純物を減少させてリーク電流を低減する方法（特開平2-219232号公報参照）、TEOSに水素又は水蒸気を混合することにより酸化膜に取り込まれる炭素量を減らす方法（特開平2-285636号公報参照）などである。

## 【0006】

【発明が解決しようとする課題】 本発明はTEOSなどの有機オキシシランを主原料としてプラズマCVD法によりシリコン酸化膜を形成する際に、上記の提案された方法とは別の方法によりシリコン酸化膜に取り込まれる炭素原子の量を少なくしてデバイス特性に悪影響を与えないようにする方法と、そのように形成された層間絶縁膜をもつ半導体装置を提供することを目的とするものである。

## 【0007】

【課題を解決するための手段】 本発明の半導体装置では、メタル配線の下に形成される層間絶縁膜として有機オキシシランを主成分としプラズマCVD法により堆積された炭素含有量の少ないシリコン酸化膜が用いられている。好ましい態様では、その層間絶縁膜はゲート配線とメタル配線との間の層間絶縁膜である。本発明の製造方法では、プラズマCVD法により半導体装置の層間絶縁膜を堆積する際に、主原料として有機オキシシランを用い、酸素流量と有機オキシシラン流量との比を、有機オキシシランを通気ガス流量で表わしたときの流量比として $O_2 / (\text{有機オキシシラン})$ を2.0以上とする。

【0008】 プラズマCVD法によるシリコン酸化膜形成の主原料としての有機オキシシランは、TEOSの他に $C_2H_5Si(OC_2H_5)_3$ や $Si(OC_3H_7)_4$ 、 $Si(OC_4H_9)_4$ などを用いることができる。有機オキシシランを反応室へ導くには、適度に加熱した有機オキシシランにヘリウムなどの不活性ガスや酸素を通気してその

3

通気ガスとともに導いたり、有機オキシシランを加熱してその蒸気を導くようにすればよい。TEOSの場合に通気するときは、TEOSの温度を30～50℃に設定するのが適当である。

#### 【0009】

【実施例】図1は本発明の半導体装置の一実施例を表わしたものである。シリコン基板2にフィールド酸化膜4により活性領域が形成され、その活性領域にはソース領域6とドレイン領域8が不純物拡散により形成され、ソース領域6とドレイン領域8の間のチャンネル領域上にはゲート酸化膜10を介してポリシリコンのゲート電極12が形成されている。ゲート電極12とメタル配線16、18との間の層間絶縁膜14としてTEOSを主成分としプラズマCVD法により堆積された炭素含有量の少ないシリコン酸化膜であるBP SG膜又はPSG膜が形成されている。層間絶縁膜14にはコンタクトホールが形成され、メタル配線16、18がそれぞれソース領域16、ドレイン領域8と接続されている。

【0010】図2は本発明の製造方法で用いるプラズマCVD装置を概略的に示したものである。図2で、反応室21内にはランプ22により温度制御される接地された下部電極23と、反応ガスを放出するシャワーヘッドを有し高周波印加電極を兼ねる上部電極24が配置されている。反応室21は排気口25から真空排気される。下部電極23上にはシリコン酸化膜を堆積しようとするシリコン基板26が上部電極24と対向するように配置される。TEOSはヘリウムなどの不活性ガス又は酸素によって通気され、その通気ガスのヘリウムや酸素とともにガス供給口29から反応室21へ供給される。ガス供給口29からはTEOSを含む通気ガスの他に、酸素と、TMP（トリメチルホスフェート； $\text{PO}(\text{OC}_2\text{H}_5)_3$ ）やTMB（トリメチルボレート； $\text{B}(\text{OC}_2\text{H}_5)_3$ ）などの不純物原料ガスも反応室21へ供給される。これらの反応ガスは上部電極24のシャワーヘッドからシリコン基板26上に均一に供給され、排気口25から排気される。上部電極24と下部電極23の間には高周波電源28によって13.56MHzの高周波電圧が印加される。

【0011】図2のCVD装置で、シリコン基板26を下部電極23上に配置し、石英ガラス27を経てランプ22から反応室21内に入射される光により基板26が下地電極23を介して加熱される。ガス供給口29を経て反応ガスが供給され、高周波電源28から両電極23、24間に高周波電圧が印加されることにより、反応ガスが反応してシリコン基板26上にBP SG膜又はPSG膜が堆積する。

【0012】プラズマCVDの条件として、CVD反応室21内の圧力を2～12 Torr、例えば約6.5 Torrとし、基板温度を300～450℃とし、高周波電源28の電力を100～500 Wに設定する。TEOSとして

4

純度99.9999%のものを、約40℃に保温し、ヘリウムガスで通気しながら酸素及びTMP、TMBとともにガス供給口29から反応室21へ供給しながらBP SG膜を堆積させた場合の、BP SG膜の成膜速度と $\text{O}_2$ 流量/TEOS流量比の関係を図3(A)に示す。ここで、 $\text{O}_2$ とTEOSの流量比は、TEOS流量としては40℃に保温されたTEOSにヘリウムガスを通気して気化させ、ヘリウムガスとともに反応室21へ導くときのヘリウムガス流量として表わされている。図3(A)によれば、 $\text{O}_2$ 流量/TEOS流量比が小さいほどBP SG膜の成膜速度が大きくなり、一般的には生産性を考慮してその比が0.5～2.0の範囲に設定されている。しかし、そのような範囲で形成されたBP SG膜には多量の炭素が取り込まれ、それがデバイス特性に悪影響を与えることがわかった。図3(B)はBP SG膜形成時の $\text{O}_2$ 流量/TEOS流量比とBP SG膜中の炭素含有量との関係を表わしたものである。炭素含有量はSIMS（二次イオン質量分析法）により測定したものであり、BP SG膜成膜後リフロー工程（920℃、窒素雰囲気、30分）を行なった試料をSIMS分析し、BP SG膜とシリコン基板との界面に偏析した炭素のピーク濃度を示している。また、シランを主原料としたBP SG膜の膜中炭素濃度は約 $5.0 \times 10^{18}$ 原子/ccであり、これはSIMS分析のバックグラウンド値とほぼ同じである。

【0013】BP SG膜中に取り込まれた炭素のデバイス特性に与える影響が最も顕著に現われるのは、CMOSデバイスのP型拡散層の抵抗であり、取り込まれた炭素量が多いほどP型拡散層の抵抗が高くなる傾向が見られる。図3(C)は $\text{O}_2$ 流量/TEOS流量比とP型拡散層のシート抵抗値の関係を示したものである。シート抵抗値は $\text{O}_2$ 流量/TEOS流量比の増加にともない減少していくのがわかる。

【0014】図3の結果から、TEOSを主原料とするプラズマCVDによるBP SG膜中の炭素量は $\text{O}_2$ 流量/TEOS流量比に依存し、デバイス特性に与える影響も同様にその比に依存する。したがって、BP SG膜中の炭素の影響を極力少なくするためには、その比をできるだけ高く設定する必要がある、その値は2.0以上とするのが適当である。

【0015】実施例は主原料としてTEOSを取り上げているが、有機オキシシランとしてはそれ以外に $\text{C}_2\text{H}_5\text{Si}(\text{OC}_2\text{H}_5)_3$ 、 $\text{Si}(\text{OC}_3\text{H}_7)_4$ 、 $\text{Si}(\text{OCH}_3)_4$ などを用いることもでき、それらの有機オキシシランを主原料とした場合にも同様に炭素が取り込まれる傾向があるので、それらの場合も本発明による $\text{O}_2$ 流量/(有機オキシシラン)流量比を2.0以上とすることにより取り込まれる炭素量を少なくすることができる。

#### 【0016】

【発明の効果】本発明ではBP SG膜やPSG膜をTE

OSなどの有機オキシシランを主成分としてプラズマCVD法により形成する際、 $O_2$ 流量/(有機オキシシラン)流量比を2.0以上に設定したことにより、BPSG膜やPSG膜などのシリコン酸化膜に取り込まれる炭素量が減少してデバイス特性に悪影響を与えることなく、良質の層間絶縁膜を形成することができる。この層間絶縁膜はデバイス特性に悪影響を与えないことからゲート配線とメタル配線の間の層間絶縁膜として利用することができる。

【図面の簡単な説明】

【図1】一実施例の半導体装置を示す断面図である。

【図2】本発明が適用されるプラズマCVD装置の一例を概略的に示す断面図である。

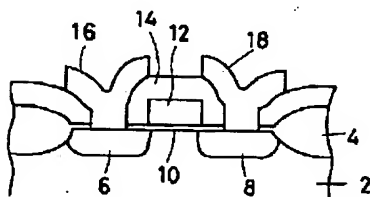
【図3】一実施例における $O_2$ 流量/TEOS流量比と成膜速度、炭素濃度、シート抵抗値の関係をそれぞれ示

す図である。

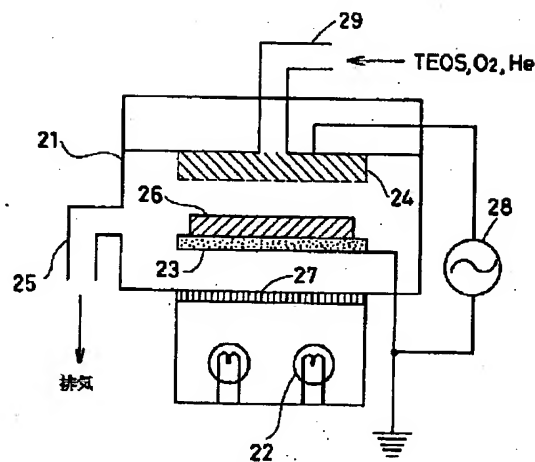
【符号の説明】

- |        |           |
|--------|-----------|
| 2      | シリコン基板    |
| 6      | ソース       |
| 8      | ドレイン      |
| 10     | ゲート酸化膜    |
| 12     | ゲート電極     |
| 14     | 層間絶縁膜     |
| 16, 18 | メタル配線     |
| 21     | CVD装置の反応室 |
| 22     | 温度制御用ランプ  |
| 23     | 下部電極      |
| 24     | 上部電極      |
| 26     | シリコン基板    |
| 28     | 高周波電源     |

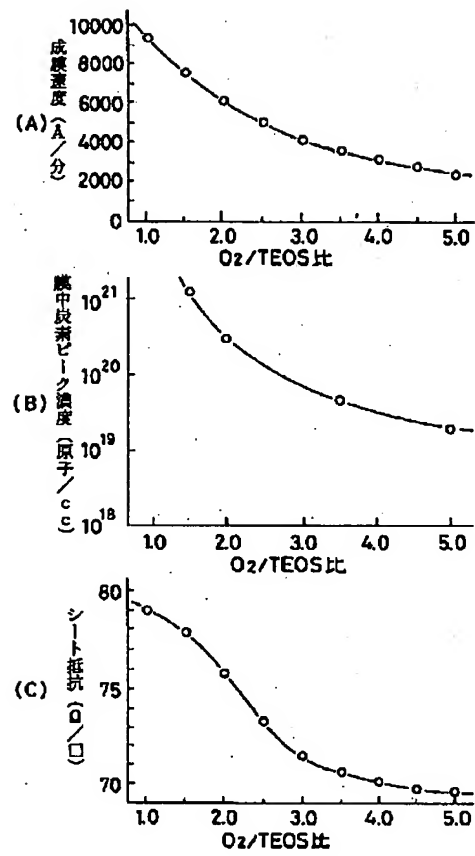
【図1】



【図2】



【図3】



**THIS PAGE BLANK (USPTO)**



# bepatters

file:///C:/Documents%20and%20Settings/bepatters  
01/09/04 12:19 PM



**THIS PAGE BLANK (USPTO)**

## SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

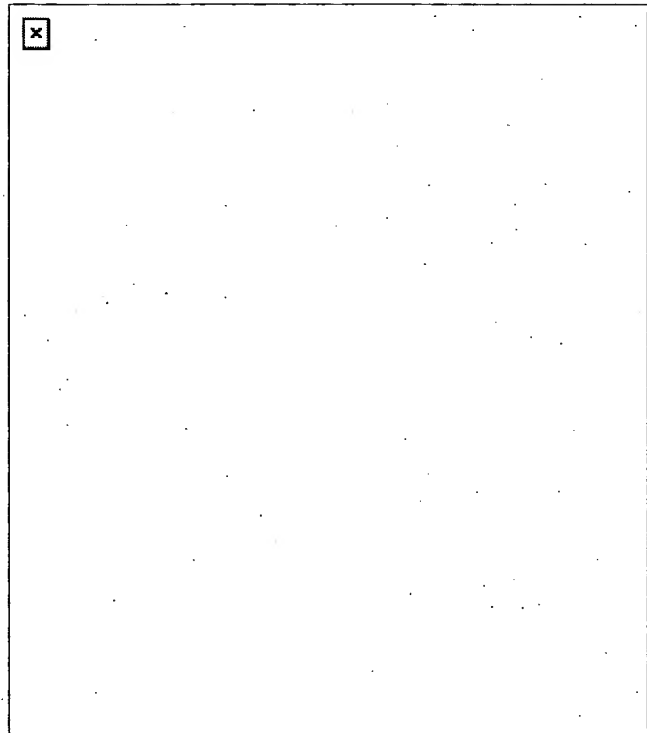
Patent number: JP5267480  
Publication date: 1993-10-15  
Inventor: YAMASHITA KIMIHIKO  
Applicant: RICOH CO LTD  
Classification:  
- international: H01L21/90; H01L21/316  
- european:  
Application number: JP19920094796 19920321  
Priority number(s):

[View INPADOC patent family](#)

**Abstract of JP5267480**

**PURPOSE:** To prevent detrimental affect on device properties by reducing an amount of carbon atom taken into a silicon oxide film when a silicon oxide film is formed by plasma CVD method using organic oxysilane such as TEOS as a main material.

**CONSTITUTION:** A silicon substrate 26 is arranged on a lower electrode 23 and heated by a lamp 22. Reaction gas is supplied through a gas supply port 29 and a high frequency voltage is applied between both electrodes 23, 24 from a high frequency power supply 28. Thereby, reaction gas reacts and a BPSG film or a PSG film is deposited on the silicon substrate 26. Conditions of plasma CVD are; a pressure inside a CVD reaction chamber 21 of 6.5Torr, a substrate temperature of 300 to 450 deg.C, a power of the high frequency power supply 28 of 100 to 500W. The BPSG film is deposited supplying TEOS kept at 40 deg.C together with oxygen, TMP and TMB as a reaction gas from a gas supply port 29 to the reaction chamber 21 while making helium gas flow. Ratio of O2 flow rate/TEOS flow rate is 2.0 or above.



**THIS PAGE BLANK (USPTO)**